

(11)Publication number :

2000-236271

(43) Date of publication of application: 29.08.2000

(51)Int.CI.

H04B 1/04

(21)Application number: 11-036198

(22)Date of filing:

15.02.1999

(71)Applicant: NEC SAITAMA LTD

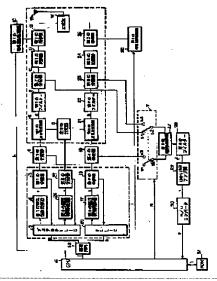
(72)Inventor:

KAWASHIMA ETSUO

(54) MULTI-CARRIER TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To judge an unlock place of a PLL and to suppress the damage to system operation to a minimum by converting and filtering the oscillation frequency outputted by a voltage-controlled oscillator, when the PLL is unlocked. SOLUTION: Intermediate frequency components are extracted from a transmit signal and inputted to a band-pass filter 28. The output of the band-pass filter 28 is inputted to a logarithmic amplifier 29, whose output is inputted to an A/D converter 30. Furthermore, this multi-carrier transmitter is provided with a ROM 31 stored with a table, wherein the power values of intermediate frequency signal are made to correspond to digital codes. A CPU 16 stops the transmission of all modulated signals when at least one step-out signal is generated, finds the power value of the intermediate frequency signal from the output of the A/D converter 30 by referring to the ROM 31, and selects the PLL according to the power value, thereby restarting the transmission.



LEGAL STATUS

[Date of request for examination]

15.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3001567

[Date of registration]

12.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(12)公開特許公報(4) (19)日本国特阶庁 (JP)

特開2000-23627] (11)特許出願公開番号

(P2000-236271A)

(43)公開日 平成12年8月29日(2000.8.29)

ナロナ (参考)

(51) Int C.7

5K060 醋求項の数2 01 ZN 審査開來 有 H04B 1/04 撒別配号 H04B 1/04

(全9周)

域玉與児玉郡神川町大字元原字豊原300番 埼玉県児玉郡神川町大字元原字豊原300番 埼玉日本電気株式会社 川島 悦男 (71)出個人 390010179 (72) 発明者 平成11年2月15日(1999.2.15) 特顏平11-36198

(21)出版器号

(22) 出版日

18 埼玉日本電気株式会社内 (74) 代理人 100065385

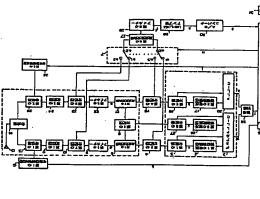
Fターム(参考) 5K060 CC04 CC16 III11 III14 III25 HR31 TH32 1.L05 1.L30 井理士 山下 化新平

(54) 【発明の名称】 マルチキャリア送信機

【課題】 PLLのアンロック発生時において電圧制御 発仮器から出力される発振周波数を周波数変換、フィル ターリングすることで、P L L のアンロック箇所を判断 し、システム運用の被害を最小限に抑える。

イルター28の出力を対数増幅器29に入力し、対数増 杵岐冠過フィルター28に入力する。更に、帯域通過フ 【解決手段】 送信信号から中間周波数成分を抽出し、 幅器29の出力をA/Dコンパータ30に入力する。

又、本発明のマルチキャリア送信機は、中間周波数信号 の電力値をディジタル符号に対応させる変を格納したR OM31を備えている。CPU16は、同期はずれ信号 が少なくとも一つ発生した時には、すべての変調信号の 送信を停止し、ROM31を参照して、A/Dコンバー し、前記電力値に基いて、前記PLLを選択し、送信を タ30の出力から前配中間周波数信号の電力値を見出



Best Available Copy

THIS PAGE BLANK (USPTO)

ର	1		·O			
(II)特許番号 特許第3001567号 (P3001567) 平成11年11月12日(1999, 11, 12)	Z	7	崩水項の数2(全 9 頁)	390010179 格工口士服督检工会社	8.3.1.4.8.8.8.8.3.8.8.6.6.3.8.8.8.8.8.8.8.8.8.8	· · · · · · · · · · · · · · · · · · ·
24) 登録日	1/04	1/00		指者 390010179	格玉俱况	400年 100年 100年 100年 100年 100年 100年 100年
報 (B1)	F1 H04B	H04J		(73)特許権者		(72) 発明者
ধ						
# <u>*</u>				<i>.</i>	2, 15)	2, 15)
(12) 特(2000.1.24)					1 (1999.	1 (1999.
)日本国格群庁 (JP) (12) 特(G)発行日 平成12年1月24日(2000.1.24)	散別配号			特國平11-36198	平成11年2月15日(1999.2.15)	平成11年2月15日(1999.2,15)
7 (JP) 平成12年	A	9		特區	片	日
特部	1/04	1/00		#		米田
(19) 日本国格群庁 (JP) (45)発行日 平成12年	(51) Int CI.	H04J		(21) 出版器号	日期(22)	等查替求日

(54) [発明の名称] マルチキャリア送信機

ループ (PLL) のそれぞれが発援するPLL周波数F | を中間周抜数Fcにより、(Fi+Fc)|の変調信号 として同時に送信するマルチキャリア送信機であって、 前記PLL周波数信号と前記変調信号とを入力して、前 が前的校園被の特徴に毎しい特域透過フィルターと、 記中間周波数信号を抽出する周波数変換器と、

(51) [特許請求の範囲]

【請求項1】 :個 (1は2以上の自然数)の位相同期 前配PLLからの同期はずれ信号を入力する論理和回路

でわった、中心固波数が前記中間周波数に移しく、特域 前配帯域通過フィルターの出力を対数増幅する対数増幅 前配周波数安換機の出力を入力する特域強過フィルター

前配中間周波数個号の電力値をディジタル符号に対応さ **が配論理和回路の出力及び前記A/Dコンパータの出力** せる教を格納した航み出し専用メモリ(ROM)と… を入力する制御装置 (CPU) とを備え、 A/Dコンバータと、

た時には、すべての変調信号の送信を停止し、前記RO Aを参照した、前記A/Dョンベータの出力から前記中 問周波数個号の電力値を見出し、前記電力値に基いて前 **前的CPUは、国期はずれ信号が少なくとも一つ発生し** DP L L を選択して送信を再開することを特徴とするマ ルチキャリア送信機。

[請求項2] 1個 (1は2以上の自然数)の位相同期 vープ (PLL) のそれぞれが発振するPLL周波数F i を中間周波数Fcにより、 (Fi+Fc) の変調信号 として同時に送信するマルチキャリア送信機であって、

ff記P L L からの同期はずれ信号を入力する論理和回路 前配PLLのそれぞれが発生する制御電圧を所定値と比

析記コンパレータ出力及び前配論理和回路出力を入力す る制御装置 (CPU) とを備え、 数十ちョンスフータン

パレータ出力に基いて前記PLUを選択して送信を再開 **竹記CPUは、同期はずれ信号が少なくとも一つ発生し** た時には、すべての変調佰号の送信を停止し、前記コン **することを特徴とするマルチキャリア送信機。**

【発明の詳細な説明】

[1000]

し、特に、 P.L.Lのアンロック発生時において電圧制御 路飯器から出力される発板周波数を周波数変換、フィル ターリングすることで、PLLのアンロック箇所を判断 システム運用の被害を最小限に加えるマルチキャリ [発明の属する技術分野] マルチキャリア送信機に関 **r 送信機に関する。**

6五頃児玉郡神川町大学元原字豊原300

番18 埼玉日本電気株式会社内

中理士 山下 機平

100065385

(74) 作題人

部 文文

[従来の技術] 従来、マルチキャリア法信機は、図6に 2、17、26、省スペース、省電力を実現する第1の [0003] FITAPLLICS, 20H, 2003 ら一方のPLLループがアンロック時に、アンロック僧 号g、h(Hi→Low)を出力する。また、輪理回路 32H. FirmPLLICS, 202CPU1620 インタフェースの簡素化のため配置され、2 つのアンロ ック倡号g、hを入力じ図4に示すように、論理演算を 行い、アンロック信号j (HiーLow)をCPU16 テナように、第1、第2および第3の電圧制御発振器 PLLIC5、第1のPLLIC20を含んでいる。 [0002] へ出力する。

> 平8-125636 (JP, A) 特開-平8-139600 (JP, A) 平4-33417 (JP, A) 特開 平4-57527 (JP, A)

(56)参考文献

を見出し、前記電力値に基いて、前記PLLを選択し、

5個を再開する。

[0004] 第1および第2の電圧制御発振器2、17 から出力される高周故信号a, bは、第1および第2の **司波数変換器6、21において、第3の電圧制御発短器** 2.6から出力される高固波信号。にようて高固波信号 1、8へ周波数変換される。

最終買に載く

および第2の増幅器13、26で電力増幅され、合成器 [0005] 高周波信号d、eは第1および第2のフィ ルター9、22によって、フィルターリングされ、第1 および第2の変調器11、12でデータ変調され、第1 | 4にて合成され、アンテナ15から出力される。 [9.0 0 0

A運用を中止していた。すなわち、どこのPLLがアン [発明が解決しようとする課題] しかし、CPU16に (Hi→Low) が変化すると、、第1および第2の増 福器制御回路 1.2、25の電源供給を中止して、システ ロック状態であるかを破別することができず、1キャリ [0001] そこで、本発明は、PLLのアンロック発 Bいてアンロック信号jが入力されて、制御信号k、1 での運用が可能でも、ジステム運用を中止していた。

を固被数変換、フィルターリングすることで、PLLの ;; 生時において電圧制御発援器から出力される発振周波数 アンロック簡所を判断し、システム選用の被害を最小限 こ抑えることを課題としている。 0008

上の自然数) の位相同期ループ (PLL) のそれぞれが キャリア送信機であって、前配PLLからの回期はずれ 「問題を解決するための手段」上記の課題を解決するた。 かの本発明のマルチキャリア 送信機は、:個(1は2以 を格納した旣み出し専用メモリ (ROM) と、前記論理 関係号の送信を停止し、前記ROMを参照して、前記A **発極するPLL周波数Fiを中間周波数Fcにより、** (Fi+Fc) の変調信号として同時に送信するマルチ 背号を入力する論理和回路と、前配PLL周波数信号と 5 帯域騒過フィルターであって、中心周故数が前配中間 **過波数に等しく、帯域が前配変顕液の帯域に等しい帯域 極過フィルターと、前記帯域強過フィルターの出力を対** aグ・ディジタル変換するA/Dコンパータと、前配中 閩周波数信号の電力値をディジタル符号に対応させる投 b回路の出力及び前記A/Dコンパータの出力を入力す 5制御装置(CPU)とを備え、前配CPUは、同期は げれ信号が少なくとも一つ発生した時には、すべての変 **パロコンパータの出力から前配中間周波数信号の電力値** 作記変調信号とを入力して、前記中間周波数信号を抽出 r る周波数変換器と、前配周波数変換機の出力を入力す 数増幅する対数増幅器と、"前配対数増幅器の出力をアナ

【0009】又、本発明のマルチキャリア送信機は、1 国(112以上の自然数)の位相同期ループ(PLL) siにより、:(Fi+Fc)・の変闘信号として同時に送信 「るマルチキャリア送信機であって、前記PLLからの 可期はずれ信号を入力する論理和回路と、前記PLLの それぞれが発生する制御電圧を所定値と比較するコンパ **すべての安國信号の送信を停止し、前記コンパレータ出** カを入力する制御装置 (CPU) とを備えい前記CPL レータと:前記コンパレータ出力及び前記論理和回路出 Oそれぞれが発掘するPLL周波数Fiを中間周波数| は、同期はずれ信号が少なくとも一つ発生した時には、 力に基いて前配PLLを選択肢:送信を再開する。

[0010] すなわち、本発明のマルチキャリア送信機 方式を採用し、PLLのアンロック発生時において電圧 (ルターリングすることで、PLLのアンロック箇所を においては、中間周波数を共有化し、かつMIX UF 制御発掘器から出力される発振周波数を周波数変換、 引断し、システム運用の被害を吸小限に抑えている。

[発明の実施の形態] 以下、図面を参照して、本発明の **東施の形態にしいて説明する。** 【0012】図1は、本発明のマルチュキャリア送信機

前配対数増幅器の出力をアナログ・ディジタル変換する

のブロック図である。図1に示すように、本籍明のマル 第1の電圧制御発板器2、第1の分配器3、デュア ルPLLIC5により高周故信号aを発生し、また、第 C20により高周波信号もを発生し、更に、第3の電圧 制御発掘器26、第5の分配器27、デュアルPLL1 2の電圧制御発援器17、第2の分配器18、PLL「 チキャリア送信機のシンセサイザーブロックにおいて C5により高周波信号cを生成する。

[0013]又、送信プロックは、高周波信号aおよび 第2の変調器24、第2の増幅部26により変調液 e を 一9、第1の変調器11、第1の増幅部13により変調 発生し、変調彼dと変調故eとを合成器14にて合成し cを入力して、第1の周波数変換器も、第1のフィルタ て、第2の周波数変換器21、第2のフィルター22、 故dを発生し、また、高周故信号bおよびcを入力し て、アンテナ15から出力する。

[0014]又、高周波信号a、b、dおよびeを連動 めに第3、第4、第7および第8の分配器4、19、1 スイッチ1の鑷子81,83,b1,b3~抽出するた 0、23とを備えている。

【0015】又、高周故信号a、dまたはb、eの周故 と、第3の周波数変換器27かちの高周波信号 「を中心 **西板数c、かし、脊板が双関板の特板かめるパンドパス** フィルター特性を有する第3のフィルター28と、第3 応した梶圧に変換するLOG-LINEARアンプ部2 9と、LOG-LINEARアンブ部29の検波電圧n を検放データロに変換するA/Dコンパータ30とを備 数を週択して、周波数変換する第3の周波数変換器27 のフィルターから出力される高周波信号1の電力値に対

力する精理回路32と、A/Dコンパータ30の検弦デ **一タpとROM31のデジタルデータ4を比較預算する** [0016] X. PLLIC5、20のアンロック信号 8、 h を入力し、 論理的計算し、 アンロック信号 j を出 CPU16を備えている。

においては、CPU16からの切替信号mにより、連動 を介し、CPU16が入力することで、高周波信号1が 高周彼信号cと同一周波数かを判断し、同一周波数の系 の制御信号とまたは制御信号しを再度切り替え、送信を 【0017】すなわち、本発明のマルチキャリア送信機 スイッチでは、接続端子を任意に選択し、第3の周波数 変換器27にて高周波信号8、dまたはb、eから高周 彼信号 I (d -/a または e - b) に周改数変換し、第3 のフィルター28にて南周故信号にのみ通過させ、LO G-LINEARTンプ部29、A/Dコンパータ30

[0018] 図2は、検波電圧nと検波データpの関係 を例示する表である。又、図3は、電力値1と検波電圧 n の関係を例示する数である。又、図4は論理回路32 の真単値数かわる。

ロックした場合の信号の流れについて具体例を交えて脱 [0019] 図2, 3, 4を参照して、まず、PLLが

教変換器 6 へ、他方は運動スイッチ 7 の端子 a 1 〜分配 C5、第1の分配器3とで構成されるPLLにて、第 周波信号 a は第3の分配器 4 において一方は第1の周波 [0020] 第1の電圧制御発版器2、デュアルPLL 1の電圧制御発振器2から出力される610MHzの高

の電圧制御発振器17から出力される620MH2の高 周夜信号もは第4の分配器19において一方は第2の周 **被数変換器21へ、他方は連動スイッチ1の端子a3~** [0021] 第2の電圧制御発振器17、PLLIC2 0、第2の分配器18とで構成されるPLLにて、第2 分配される。

て、第3の電圧制御発振器26から出力される200M Hzの高周波信号cは第6の分配器8において一方は第 1の周波教変換器6へ、他方は第2の周波教変換器21 [0022] 第3の電圧制御発振器26、デュアルPL LIC5、第5の分配器27とで構成されるPLLに

数変換し、第1のフィルター9にて810MHをのみ通 の高周波信号aと200MHzの高周波信号cとで周波 [0023] 第1の周波数変換器6では、610MHz 過させ、第1の分配器10で一方は第1の変調器11、 他方は運動スイッチ7の端子 b 1 ~分配される。

均幅する第1の増幅器13、合成器14を経由してアン 号4に変調をかける第1の変調器11、制御信号をによ り第1の増幅器13への電源供給が制御され、変調波を [0024] 810MHzの高周披信号dは、高周故信 テナ15から出力される。

[0025] 同様に、第2の周波数変換器21では、6 20MH zの高周波信号 b と 200MH zの高周波信号 cとで周抜数変換し、第2のフィルター22にて820 MH z のみ通過させ、戦8の分配器23で一方は第2の 変闘器24、他方は運動スイッチ1の端子b3〜分配さ [0026] 820MHzの高周改信号eは、高周故信 **号のに変調をかける第2の変調器24、制御信号1によ** り第2の増幅器26への電源供給が制御され、変調波を 増幅する第2の増幅器26、合成器14を経由してアン テナ15から出力される。 [0027] 以上のような信号の流れを経て、2キャリ ア送信機が構築される。この時、デュアルPLL1C5 およびPLLIC20から、アンロック信号g、h (H i) が輸理回路32~出力され、輸理回路32はアンロ [0028] ここで、CPU16から出力される切替信 ック信号j (Hi)をCPU16へ出力する。

号m(Low)により、連動スイッチ7の接続端子はa

1-a2、b1-b2を選択するものとする。

rの選択された接続端子a1-a2(第3の分配器4か 5の610MHzの南周故信号: -10dBm)と、選 **択された接続端子b1−b2(810MHzの髙周故信** し、特徴が質勵板の特徴かやるパンドパスレイグターの LINEARTンプ部29は、図3に示すように、第3 のフィルター28から出力される高周波信号1の電力値 に、検波電圧nの3[V]を検改データ1EH〜変換す [0029] 第3の周波教変換器21は、連動スイッチ 号:-10 d B m) を周波数変換し、200MH z (-特性を有する第3のフィルター28を通過し、LOG-(-10dBm) に対応した検波電圧nである3 [V] 10 d B m)を生成し、中心周波数が200MH z か を出力し、A/Dコンパータ30は、図2に示すよう

[0030] CPU16H, ROM31からのデジタル データαと検弦データpを比較演算し、高周弦信号の例 が選用可能ということが判断できる。 [0031] 次に、仮に高周波信号aの周波数が500 Lのみがアンロックになった場合について、本発明のマ MHzとなり、第1の電圧制御発振器2の構成するPL ルチキャリア送信機の動作を説明する。

[0032] デュアルPLLIC5からアンロック信号 マルチキャリア送信機が連法電波を発射する恐れがある ため、CPU16は、第1および第2の制御信号k、1 を切替え(Hi→Iow)、第1および第2の増幅器制 g (Low) が出力され、論理回路32を介してアンロ [0033] このような状態にて送信している場合は、 **脚回路12、25を介して第1および第2の増幅器1** ック信号j (Low) がCPU16に入力される。 3、26の電源供給を停止させる。

7 は、連動スイッチ1の選択された接続端子 a 1 ー a 2 かちの信号(第3の分配器4かちの500MH2の高周 イルター 9によりー40dBm以下に減棄される)を周 を生成する。そして、第3のフィルター28は第3の周 仮信号:-10dBm)と、選択された接続端子b1-被数変換器27から出力される200MHzの高周波信 [0034] この時、CPU16から出力される切替信 号m(Low)により運動スイッチ1の接続端子は81 -82、61-62を選択する。第3の周波数変換器2 b 2からの信号(700MHzの高周波信号は第1のフ 破数変換し、200MH2の信号 (-40dBm以下) 号fのみ通過させる。

[0035] 従って、LOG-LINEARアンプ部2 9は、第3のフィルターから出力される高周故信号1の 電力値がなく(−40dBm以下)、高周波信号!の電 力値に対応した検波電圧nはO[V]を出力し、A/D コンバータ30は、検波電圧nの0[V]を検弦データ [0036] 722, CPU161, ROM31250 デジタルデータgと検波データpを比較演算し、高周波

1割−4 側が運用不可ということが判断でき、第1の制御 18号k (Low)を保持し、第1の増幅器制御回路12 を介して第1の増幅器13の電源供給を停止したままと

3 [V]を出力し、A/Dコンパータ30は、検疫電圧 号fの電力値 (-10dBm) に対応した検放電圧nは [0037] 関様に、CPU16からの切替信号m (H i)により、連動スイッチ7を切替え接続端子は83ー a 2、b 3 — b 2を選択する。第3の周波数変換器27 -10dBm) と、踏択された接続端子b3-b2 (8 20MH 2の高周被信号: - 10dBm) を周故数変換 し、200MHz (-10dBm) を生成し、第3のフ ィルター28を通過し、LOG-LINEARアンプ的 (第4の分配器19からの620MHzの高周波信号: は、連動スイッチ1の選択された接続端子83-82 29は、第3のフィルター28から出力される高周故(nの3 [V] を検波データ1Ehへ変換する。

信号Ⅰを切替え(Low→Hi)、第2の増幅器制御回 [0038] +32, CPU16H, ROM31250 デジタルデータ4と検波データDを比較演算し、高周波 路25を介して第2の増幅器36の電源供給を再開させ 信号の側が運用可能ということが判断でき、第2の制御

w) が出力され、輸理回路32を介してアンロック信号 [0040] PLL!C5からアンロック信号h (Lo [0039] 次に、第2の電圧制御発振器17の構成す るPLLのみがアンロックになった場合(発板周波数が 500MHz)、動作は以下のようになる。 j (Low) がCPU16に入力される。

(-10dBm) に対応した検波電圧nは3 [V]を出 の分配器4かちの610MHzの髙周故信号: -10d を通過し、LOG-LINEARアンプ部29は、第3 のフィルター28から出力される髙周波信号 [の電力値 [0041] CPU16から出力される切替信号m (L は、連動スインチ1の接続された端子ョ1ーョ2(第3 カし、A/Dコンパータ30は、検波電圧nの3 [V] Bm) と、梭繞された端子b1-b2(810MH z g ow)により、連動スイッチ1の接線端子は81-8 2、61-62を選択する。第3の周波数変換器27 高周波信号:-10dBm)を周波数変換し、200 Hz (-10dBm)を生成し、第3のフィルター2 を検波データ1日1へ室換する。

[0042] +52, CPU16H, ROM31h50 信号 A 側が選用可能ということが判断でき、第1の制御 信号kを切替え(Low→Hi)、第1の増幅器制御回 デジタルデータ4と検波データpを比較演算し、髙周弦 路12を介して第1の増幅器13の電源供給を再開す

[0043] 同様に、CPU16からの切替信号m (H i)により連動スイッチ7を切替え、接続端子は83-

Best Available Copy

။ မ

a 2、b 3 — b 2を選択する。第3の周波数変換器27 の分配器 1 9 かちの 5 0 0 MH z の高周波信号: - 1 0 は、連動スイッチ1の接続された端子a3-a2(第4 d B m) と、接続された蝎子b 3 - b 2 (700 MHz の高周波倡号は第1のフィルターにより-40dBm以 下に咸衰され)を周故数変換し、200MH z を生成 し、第3のフィルター28を通過する。

9は、第3のフィルターから出力される高周波信号「の 電力値がなく (-40dBm以下)、高周故信号1の電 [0044] 従って、LOG-LINEARアンプ街2 力値に対応した検疫電圧nはO [V]を出力し、A/D コンパータ30は、検波電圧nの0 [V] を検放データ 00h~斑殻する。 [0045] CPU16H, ROM31からのデジタル データ4と検弦データpを比較演算し、高周故信号=側 (Low)を保持し、第2の増幅器制御回路25を介し [0046]以上、本発明の実施形態について説明した が、本発明はこれに殴らず、図5に示すように、更に回 て第2の増幅器25の電源供給を停止したままとする。 が運用不可ということが判断でき、第2の制御信号1 路を前略化することもできる。

[0047] 図5に示すように、第1および第2のPL LIC5、20から第1、第2および第3の電圧制御発 擬器2、17、26に出力される制御電圧を第1、第2 第1、第2および第3の電圧制御発振器2、17、26 が発版すべき周波数を超える制御電圧になった場合、C および鮮るのコンパレータ33、34、35で比較し、 PU16~第1、第2ねよび第3のアラーム信号1、、

[発明の効果] 以上説明した本発明によれば、第一の効 LLのアンロックの職別が可能となる。その理由は、周 果は、単独のアンロック信号にもかかわらず、複数のP 故数変換の前および後の周故数を周故数変換して、更に フィルターリングし、電力レベルを検出しているためで 【0049】 第二の効果は、マルチキャリア送信機の元 長性を確保できる。その理由は、キャリア単位のPLL の異常を職別でき、システム運用の可否を判断できるた めである。

[図1] 本発明のマルチキャリア送信機のプロック図 [図面の簡単な説明]

再開する。

[図2] 本発明のマルチキャリア送信機のブロック図 [図3] 本発明のマルチキャリア送信機のプロック図

[図4] 本発明マルチキャリア送信機のブロック図

[| |

[図5] 本発明の他のマルチキャリア送信機のブロック

[図6] 従来のマルチキャリア送信機のプロック図 [符号の説明]

2、17,26 電圧制御発振器

第1の分配器

、10、19、23 分配器

, 20 FaTAPLL-IC

21 周故数変換機

. 22 71N9-

1, 12 変調器

3,26 增幅器

合成器

アンテナ

CPU

周波数変換機

8

フィルター

LOG-LINEARTンプ部 A/Dコンパータ 0 30

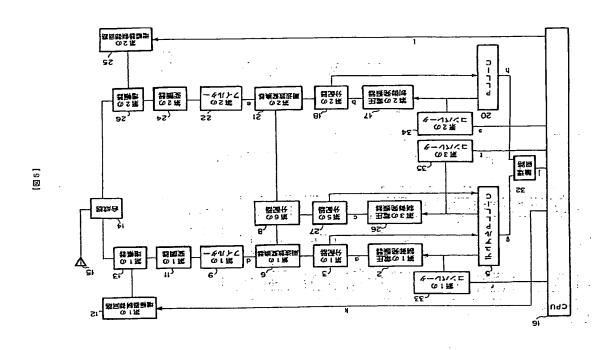
ROM

33、34、35 コンパレータ 【課題】 PLLのアンロック発生時において電圧制御 発版器から出力される発振周波数を周波数変換、フィル イルター28の出力を対数増幅器29に入力し、対数増 ターリングすることで、P L Lのアンロック箇所を判断 帯域透過フィルター28に入力する。更に、帯域透過フ 「解決手段」 送信信号から中間周波数成分を抽出し、 隔器29の出力をA/Dコンパータ30に入力する。 し、システム運用の抜車を最小限に抑える。

又、本発明のマルチキャリア送信機は、中間周波数信号 の電力値をディジタル符号に対応させる表を格納したR OM31を備えている。CPU16は、同期はずれ信号 が少なくとも一つ発生した時には、すべての変調信号の し、前記電力値に基いて、前記PLLを選択し、送信を 送信を停止し、ROM31を参照して、A/Dコンパー タ30の出力から前配中間周波数信号の電力値を見出

P-1-1 トイトラウィン 数さの ė

Best Available Cor



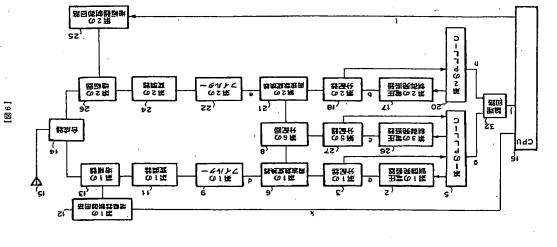
[SS 2]

0 0 0 0 H

1 0 A H

2 14 H

4 28 H



フロントページの統さ

(58)調査した分野(Int.Cl.7, DB名) H04B 1/04 H04J 1/00

THIS PAGE BLANK (USPTO)